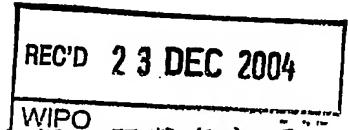


02.11.2004

日本特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年10月29日

出願番号 Application Number: 特願2003-369228

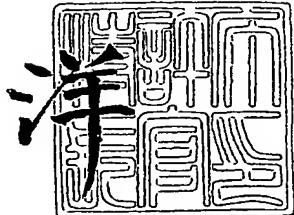
[ST. 10/C]: [JP2003-369228]

出願人 Applicant(s): 株式会社イデアルスター

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年12月9日

小川



特許庁長官
Commissioner,
Japan Patent Office

【書類名】 特許願
【整理番号】 IDEAL0035
【提出日】 平成15年10月29日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 31/00
【発明者】
 【住所又は居所】 宮城県仙台市泉区虹の丘4丁目11番地の12
 【氏名】 笠間 泰彦
【発明者】
 【住所又は居所】 宮城県仙台市泉区住吉台東5丁目13-18
 【氏名】 表 研次
【特許出願人】
 【識別番号】 502344178
 【氏名又は名称】 株式会社イデアルスター
【代理人】
 【識別番号】 100088096
 【弁理士】
 【氏名又は名称】 福森 久夫
 【電話番号】 03-3261-0690
【手数料の表示】
 【予納台帳番号】 007467
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0213743

【書類名】特許請求の範囲

【請求項 1】

配線領域により電気的に接続した複数の線状素子からなるプログラマブルロジックアレイ。
。

【請求項 2】

前記線状素子を形成する複数の断面が長手方向に連続的又は間欠的に形成されていることを特徴とする請求項 1 記載のプログラマブルロジックアレイ。

【請求項 3】

前記線状素子の断面形状が、円形、多角形、星型、三日月、花弁、文字形状その他の任意形状を有していることを特徴とする請求項 1 または 2 のいずれか 1 項記載のプログラマブルロジックアレイ。

【請求項 4】

前記線状素子が、断面内にゲート電極、ゲート絶縁体領域、ソース領域、ドレイン領域、半導体領域が形成されている線状MISFETであることを特徴とする請求項 3 記載のプログラマブルロジックアレイ。

【請求項 5】

前記線状MISFETが、線状体断面の中心に前記ゲート電極を有し、その外側に前記ゲート絶縁体領域、前記ソース領域、前記ドレイン領域、前記半導体領域が順次形成されており、互いに離間した前記ソース領域と前記ドレイン領域とが前記ゲート絶縁体領域に接触して配置されている回路領域からなるMISFETであることを特徴とする請求項 4 記載のプログラマブルロジックアレイ。

【請求項 6】

前記線状MISFETが、線状体断面の中心にソース配線を有し、その外側に前記ソース領域、前記ドレイン領域、前記半導体領域、前記ゲート絶縁体領域、前記ゲート電極が順次形成されており、前記ソース配線と前記ソース領域が電気的に接続され、かつ、互いに離間した前記ソース領域と前記ドレイン領域とが前記ゲート絶縁体領域に接触して配置されている回路領域からなるMISFETであることを特徴とする請求項 4 記載のプログラマブルロジックアレイ。

【請求項 7】

前記線状MISFETが、線状体断面の中心にドレイン配線を有し、その外側に前記ドレイン領域、前記ソース領域、前記半導体領域、前記ゲート絶縁体領域、前記ゲート電極が順次形成されており、前記ドレイン配線と前記ドレイン領域が電気的に接続され、かつ、互いに離間した前記ソース領域と前記ドレイン領域とが前記ゲート絶縁体領域に接触して配置されている回路領域からなるMISFETであることを特徴とする請求項 4 記載のプログラマブルロジックアレイ。

【請求項 8】

前記線状MISFETが、線状体断面の中心に前記ゲート電極を有し、その外側に前記ゲート絶縁体領域、開口部を有する前記ソース領域、前記半導体領域、前記ドレイン領域が順次形成されており、前記ドレイン領域が前記ソース領域の開口部に接する前記半導体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項 4 記載のプログラマブルロジックアレイ。

【請求項 9】

前記線状MISFETが、線状体断面の中心に前記ゲート電極を有し、その外側に前記ゲート絶縁体領域、開口部を有する前記ドレイン領域、前記半導体領域、前記ソース領域が順次形成されており、前記ソース領域が前記ドレイン領域の開口部に接する前記半導体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項 4 記載のプログラマブルロジックアレイ。

【請求項 10】

前記線状MISFETが、線状体断面の中心に前記ソース領域を有し、その外側に前記半導体領域、開口部を有する前記ドレイン領域、ゲート絶縁体領域、ゲート電極が順次形成されて

おり、前記ゲート電極が前記ドレイン領域の開口部に接する前記ゲート絶縁体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項4記載のプログラマブルロジックアレイ。

【請求項11】

前記線状MISFETが、線状体断面の中心に前記ドレイン領域を有し、その外側に前記半導体領域、開口部を有する前記ソース領域、ゲート絶縁体領域、ゲート電極が順次形成されており、前記ゲート電極が前記ソース領域の開口部に接する前記ゲート絶縁体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項4記載のプログラマブルロジックアレイ。

【書類名】明細書

【発明の名称】プログラマブルロジックアレイ

【技術分野】

【0001】

本発明は、線状体に形成したMISFETにより構成されるプログラマブルロジックアレイ(PLA)に関する。

【背景技術】

【0002】

PLAは、規則的に配置した複数のMISFETからなる集積回路上で配線パターンを変更するだけで任意の組み合わせ論理を実現できるので、レイアウト設計の自動化、設計のターンアラウンドタイム短縮に効果的な論理集積回路である。

【0003】

図8(a)は、従来のPLAを構成するMISFETの断面図である。シリコンなどからなる平面基板101上に、ゲート電極107、ゲート絶縁膜133、ソース領域103、ドレイン領域104からなるMISFETと、ゲート電極108、ゲート絶縁膜134、ソース領域105、ドレイン領域106からなるMISFETが、LOCOS法などにより形成した絶縁分離領域102により電気的に分離されて形成されている。

【0004】

図8(b)は、PLAのAND平面の回路図であり、図8(c)は、図8(b)に示す回路図に対応する従来のPLAの平面図である。図8(b)、(c)に示すPLAは、PLAとして機能する集積回路全体の中で、ごく一部の領域のみを示している。各MISFETは、ゲート電極、ソース領域、ドレイン領域、ソースコンタクト、ドレインコンタクトのパターンから構成される。

【0005】

例えば、図8(c)の左上に配置されたMISFETは、ゲート電極120、ソース領域121、ドレイン領域122、ソースコンタクト123、ドレインコンタクト124のパターンから構成されている。各MISFET間は、例えば多結晶シリコンからなるゲート配線と、例えばAlからなるソース配線、及びドレイン配線により接続されている。図8(c)においては、ゲート配線125、126は、それぞれ、ゲート電極と共に多結晶シリコン層により形成され、図8(b)のAND平面入力配線114、115に対応している。ソース配線127、128は、いずれも接地電位に接続される。ドレイン配線129、130、131、132は、それぞれ、図8(b)のAND平面出力配線116、117、118、119に対応している。平面基板101上に、予めMISFET、及び、一層目AI配線まで完成した基板を用意しておく。集積回路で実現するシステムの仕様が決定した段階で、2層目AI配線のマスクを用意し、1回のマスク工程だけで組み合わせ論理回路が実現するので、ターンアラウンドタイムを短縮できる。

【発明の開示】

【発明が解決しようとする課題】

【0006】

従来のPLAは、シリコン基板などリジッドで平面状の基板に形成されていた。そのため、形状に柔軟性がなく、応用が限定されるという問題があった。また、複数の回路素子を平面上に連続して形成しているため、少なくとも一個の回路素子が不良になれば、不良部分だけ良品と交換することができず、装置全体が不良になる。そのため、すべての回路素子を欠陥なく製造するために、プロセスのクリーン度向上などプロセス管理を極めて厳密に行う必要があり、特に、装置を大型化しようとすると、歩留まり向上の難しさが加速的に増加するという問題があった。

【課題を解決するための手段】

【0007】

本発明に係るPLAは、PLAを構成するMISFETなどの回路素子が長手方向に連続的又は間欠的に形成されている線状素子であることを特徴とする。

【発明の効果】

【0008】

本発明によれば、形成した線状素子を布状に織る、または編むことにより、平面状のPLAを作製したり、線状素子を束ねて線状のPLAを作製することが可能になる。そのため、以下に述べる効果が得られる。

【0009】

(1) 線状素子を織る、あるいは編むことにより作製した平面状のPLAは、柔軟性があり軽いため、薄型のテレビやパソコンの画面、携帯電話のディスプレイ、電子ペーパなどの平面状の装置で使用される論理回路として多様な用途がある。

(2) 線状素子を束ねることにより作製した線状のPLAは、柔軟性があり軽いため、配線コードなどの線状部品に組み込んで使用される論理回路として多様な用途がある。

(3) 線状の素子を組み合わせて、PLAを作製できるので、製造設備の規模によらない大型装置を製造できる。

(4) 複数の線状素子を用いてPLAを作製する場合に、各線状素子を検査して、選別した良品だけ用いてPLAを製造できる。もしくは、PLAを製造してから、検査を行い、不良部の線状素子だけを交換することもできるので、PLAを大型化した場合に、特にプロセス管理を厳密にしなくとも、集積回路の歩留まりを向上できる。

(5) 線状素子上に長手方向に間欠的に複数のMISFETを形成する場合に、ゲート電極を中心配置すれば、ゲート電極を共通とする複数のMISFETからなる回路の形成が容易になる。同様に、ソース電極を中心に配置すれば、ソース電極を共通とする複数のMISFETからなる回路の形成が容易になる。また、ドレイン電極を中心に配置すれば、ドレイン電極を共通とする複数のMISFETからなる回路の形成が容易になる。PLAのようなゲート電極とソース電極を共通とする複数のMISFETからなる回路の形成は、線状素子を用いれば長手方向に共通の電極を用いた回路を形成できるので、配線の構造が単純になり、配線層の数を減らしたり、集積度のより低いプロセスを使用できるので、PLAの製造工程上有利である。

(6) PLAを構成する線状素子の電極や配線領域として使用される導電性材料に、アルカリ金属内包フラーーゲン、又はアルカリ金属内包フラーーゲンをドープした有機材料を使用することにより、電極、あるいは配線領域の導電性を向上することができる。

【発明を実施するための最良の形態】**【0010】**

図4(a)は、PLAのAND平面の回路図であり、図4(b)は、図4(a)に示す回路図に対応する本発明のPLAの斜視図である。図4(b)において、線状体51、52、53には、複数のMISFETが、線状体の長手方向に間欠形成されている。図4(b)に示す形態においては、各線状体に形成された複数のMISFETのソース電極54が互いに共通であり、また、ゲート電極56も互いに共通である。AND平面の入力配線57はゲート電極56に接続し、ソース電極54は、ソースコンタクト60を介して接地配線59と接続している。線状体上に、形成された複数のMISFETの中でPLAの機能を実現するのに必要なMISFETだけが、ドレインコンタクト61を介してドレイン電極55とAND平面の出力線58を接続する。

【実施例】**【0011】**

(プログラマブルロジックアレイ)

図1は、AND平面とOR平面から構成されるPLAの構造を説明するための回路図である。入力信号A、B、Cはクロックφ1で制御される通過制御トランジスタと反転および非反転バッファーを通ってAND平面と呼ばれるトランジスタアレイに入力される。AND平面の出力は左端にプルアップトランジスタが接続された水平線で示される信号R1、R2、R3、R4により、OR平面に伝えられる。

【0012】

ここで、例えば、R3の論理式を考えると、A、またはB、または-CがHIGHであれば、R3がLOWになるので、

$$R3 = -(A + B + -C) = -A * -B * C$$

が成り立つ。同様に、R4の論理式を考えると、

$$R4 = -(A + -B + C) = -A * B * -C$$

が成り立つ。OR平面の出力は、クロック $\phi 2$ で制御される通過制御トランジスタとインバータからなる出力レジスターに蓄えられる。

【0013】

PLAの出力（OR平面の出力）として、例えば、Z4を考えると、Z4の出力レジスターの入力信号線は、R3、またはR4がHIGHの時にLOWになることから、

$$Z4 = -(-R3 + R4) = (-A * -B * C) | (-A * B * -C)$$

が成り立つ。

【0014】

図1に示した例は、便宜上、非常に単純な論理式を実現する例について説明してあるが、同様の方法を用いて任意の組み合わせ論理を、トランジスタアレイのドレン接続、非接続を選択することにより、PLAを用いて実現することができる。図1に示すPLAでは、トランジスタアレイを構成するMISFETが、すべてN型のMISFETの場合の回路構成を示しているが、P型のMISFETによりトランジスタアレイを構成した場合でも、ソースを電源電位に接続する、プルアップトランジスタをプルダウントランジスタに変えるなどの簡単な回路変更によりP型MISFETからなるPLAを実現するのは容易である。従って、例えば、半導体材料によっては電子よりも正孔の移動度が大きい有機半導体を用いたMISFETを使用しても本発明のPLAを実現することは可能である。

【0015】

また、図1に示すように、PLAは、AND平面とOR平面を構成するトランジスタアレイ以外に、インバータ、信号通過トランジスタ、プルアップトランジスタ、あるいはプルダウントランジスタから構成されるが、これらの回路に関しても、線状素子を用いて形成することが可能である。

【0016】

（線状素子）

図2は本発明のPLAを構成する線状MISFETの第一実施例の斜視図である。線状体の断面において、中心にゲート電極1を有し、その外側に、ゲート絶縁体領域2、ソース領域3、ドレン領域4、半導体領域5、6が形成されている。さらに、その外側に、ソース電極7、ドレン電極8、絶縁体領域9が形成されている。ソース電極7は、ソース領域3よりも円周方向に大きく形成しており、ソース領域3と接するだけでなく半導体領域5、6とも接しているが、このことにより、ソース電極7とソース領域3、半導体領域5、6との電気的な接続を行い、半導体領域5、6の電位をソース電極7と同じ電位にすることができる。一方、ドレン電極8は、ドレン領域4よりも円周方向に小さく形成しており、ドレン電極8と半導体領域5、6の短絡を防止している。

【0017】

図2において、線状素子の長手方向を見てみると、線状素子上に間欠的に複数のMISFETが間欠的に形成されているが、各MISFETのソース電極は、共通の導電性領域10により接続されている。また、図2では線状素子の内部形状であるため明示されていないが、ゲート電極1も各MISFETにおいて共通の導電性領域により接続されている。また、ドレン電極については、ドレン電極11、12、13で示すように、各MISFETにおいて分離されている。

【0018】

図3(a)は、図2における素子領域14、16における断面図であり、図2において、すでに線状素子の断面図として説明してある。

【0019】

図3(b)は、図2における絶縁分離領域15、17における断面図である。ゲート電極21を中心にして、絶縁体領域22、ソース領域23、絶縁体領域29、ソース電極26、絶縁体領域30が順次形成されており、絶縁分離領域15、17をMISFETの素子領域14、16の間に配置することで、各MISFETを電気的に分離している。

【0020】

図3(c)乃至(f)は、本発明のPLAを構成する線状MISFETの他の実施例の断面図である。図3(c)は、線状素子断面の中心にソース配線31を配置して、その外側に半導体領域35、ソース電極32、ソース領域33、ドレイン領域34を形成し、さらにその外側にゲート絶縁体領域36、ゲート電極37を形成した線状MISFETである。PLAの回路構成としては、必ずしも、ソース共通とする必要はなく、ドレイン共通の回路構成とすることも可能であり、その場合は中心にドレイン配線を配置した線状MISFETを用いることも可能である。

【0021】

図3(d)は、図3(c)に示した線状MISFETから中心の配線領域と電極領域を除いて線状MISFETを形成した例である。図3(d)に示すような線状MISFETを用いた場合でも、ソース領域とドレイン領域から電極を取り出す領域を、例えば、素子領域の間に設けることによりPLAを作製することが可能になる。

【0022】

図3(e)は、線状素子断面の中心にゲート電極38を配置して、その外側にソース領域40、半導体領域41、ドレイン領域42、絶縁体領域43を順次形成した線状MISFETである。また、図3(f)は、線状素子断面の中心にソース領域44を配置して、その外側に半導体領域45、ドレイン領域46、ゲート絶縁体領域47、ゲート電極48、絶縁体領域49を順次形成した線状MISFETである。図3(e)に示す線状MISFETは、ソース領域40が開口部を有し、開口部上の半導体領域に接してドレイン領域42が形成されている。また、図3(f)に示す線状MISFETは、ドレイン領域46が開口部を有し、開口部上のゲート絶縁体領域47に接してゲート電極48が形成されている。

【0023】

図3(e)、(f)に示す線状MISFETは、いずれも、チャネル長を半導体領域41、あるいは、半導体領域45の厚さにより制御することができるため、チャネル長の微細化が容易で、PLAの高速動作が可能になる。また、図3(e)、及び、図3(f)において、ソース領域をドレイン領域、ドレイン領域をソース領域と置き換えた構造の線状素子も、MISFETとして正常に動作し、本発明のPLAを構成することができる。

【0024】

(OR平面)

図5(a)は、PLAのOR平面の回路図であり、図5(b)は、図5(a)に示す回路図に対応する本発明のPLAの斜視図である。図5(b)において、線状体61、62、63、64には、複数のMISFETが、線状体の長手方向に間欠形成されている。図5(b)に示す形態においては、各線状体に形成された複数のMISFETのソース電極65が互いに共通であり、また、ゲート電極67も互いに共通である。OR平面の入力配線はゲート電極67に接続し、ソース電極65は、ソースコンタクト70を介して接地配線69と接続している。線状体上に、形成された複数のMISFETの中でPLAの機能を実現するのに必要なMISFETだけが、ドレインコンタクト71を介してドレイン電極66とOR平面の出力線68を接続する。

【0025】

図4(b)に示す本発明のPLAのAND平面におけるソースコンタクト60、ドレインコンタクト61、あるいは図5(b)に示す本発明のPLAのOR平面におけるソースコンタクト70、ドレインコンタクト71に関しては、斜視図の中では、便宜上、黒丸と線で接続しているよう書いてあるが、実際のPLAにおける接続は、本発明の明細書において後述する配線形成方法を用いて、光反応性有機材料などからなる導電性材料により電気的に接続する。

【0026】

(線状素子の形状)

本発明における線状素子における外径は、10mm以下が好ましく、5mm以下がより好ましい。1mm以下が好ましく、10μm以下がさらに好ましい。延伸加工を行うことにより1μm、さらには0.1μm以下とすることも可能である。

【0027】

1μm以下の外径を有する極細線状体を型の孔から吐出させて形成しようとする場合には

、孔のつまりが生じたり、糸状体の破断が生ずる場合がある。かかる場合には、各領域の線状体をまず形成する。次にこの線状体を島として多くの島を作り、その周囲（海）を溶性のもので取り巻き、それをロート状の口金で束ねて、小口から一本の線状体として吐出させればよい。島成分を増やして海成分を小さくすると極めて細い線状体素子をつくることができる。

【0028】

他の方法として、一旦太めの線状体素子をつくり、その後長手方向に延伸すればよい。また、溶融した原料をジェット気流に乗せてメルトブローして極細化を図ることも可能である。

【0029】

また、アスペクト比は、押出形成により任意の値とすることができます。紡糸による場合には糸状として1000以上が好ましい。例えば100000あるいはそれ以上も可能である。切断後使用する場合には、10～10000、10以下、さらには1以下、0.1以下として小単位の線状素子としてもよい。

【0030】

線状素子の断面形状は特に限定されない。例えば、円形、多角形、星型その他の形状とすればよい。例えば、複数の頂角が鋭角をなす多角形状であってもよい。

また、各領域の断面も任意にすることができる。素子により、隣接する層との接触面を大きくとりたい場合には、頂角が鋭角となっている多角形状とすることが好ましい。

【0031】

なお、断面形状を所望の形状とするには、押し出しダイスの形状を該所望する形状のものとすれば容易に実現することができる。

【0032】

最外層の断面を星型あるいは頂角が鋭角をなす形状とした場合、押し出し形成後、頂角同士の間に空間に、例えば、ディッピングにより他の任意の材料を埋め込むことができ、素子の用途によって素子の特性を変化させることができる。

【0033】

なお、半導体層へ不純物をドーピングしたい場合は、溶融原料中に不純物を含有せしめておいてもよいが、押し出し形成後、真空室内を線状のまま通過させ、真空室内で例えばイオン注入法などにより不純物をドープしてもよい。半導体層が最外層ではなく内部に形成されている場合には、イオン照射エネルギーを制御することにより内層である半導体層のみにイオン注入すればよい。

【0034】

上記製造例は、複数の層を有する素子を押し出しにより一体形成する例であるが、素子の基本部を押し出しにより線状に形成し、その後該基本部に適宜の方法により被覆を施すことにより形成してもよい。

【0035】

(原材料)

電極、半導体層、配線などの材料としては、導電性高分子を用いることが好ましい。例えば、ポリアセチレン、ポリアセン、(オリゴアセン)、ポリチアジル、ポリチオフェン、ポリ(3-アルキルチオフェン)、オリゴチオフェン、ポリピロール、ポリアニリン、ポリフェニレン等が例示される。これらから導電率などを考慮して電極、あるいは半導体層として選択すればよい。

【0036】

なお、半導体材料としては、例えば、ポリパラフェニレン、ポリチオフェン、ポリ(3-メチルチオフェン)などが好適に用いられる。

【0037】

また、ソース・ドレイン材料としては、上記半導体材料に、ドーパントを混入せしめたものを用いればよい。*n*型とするためには、例えば、アルカリ金属(Na、K、Ca)などを混入せしめればよい。AsF₅/AsF₃やClO₄⁻をドーパントとして用いる場合

もある。

【0038】

また、電極や配線などの導電性材料として、上記導電性高分子にアルカリ金属内包フラー
レン、又はアルカリ金属内包フラー^レンをドープした有機材料を使用することも可能であ
り、電極、あるいは配線領域の導電性を向上することが可能である。

【0039】

(線状素子の製造装置、製造方法)

図6(a)は、線状素子の製造に用いられる押出し装置を示す正面図である。

押出し装置81は、複数の領域を構成するための原料を溶融状態あるいは溶解状態、あ
るいはゲル状態で保持するための原料容器82、83、84を有している。図6(a)に示
す例では、3個の原料容器を示しているが、製造する線状素子の構成に応じて適宜設けれ
ばよい。

【0040】

原料容器内の原料は、型85に送られる。型85には、製造しようとする線状素子の断
面に応じた射出孔が形成されている。射出孔から射出された線状体は、ローラ87に巻き
取られるか、あるいは必要に応じて次の工程に線状のまま送られる。

【0041】

図2及び図3に示す構造の線状素子を製造する場合には図6(a)に示すような構成が取
られる。

原料容器82、83、84には、ゲート電極材料、ゲート絶縁体領域材料、ソース、ドレ
イン材料、半導体材料が、それぞれ、溶融あるいは溶解状態、ゲル状態で保持されている
。一方、型85には、それぞれの材料容器に連通させて、孔が形成されている。

【0042】

型85は、図6(b)に示すように、中心部には、ゲート電極材料を射出するための複数の
孔が形成されている。その外側周辺には、ゲート絶縁体領域材料を射出させるための複数
の孔が形成されている。そしてその外周にさらにソース、ドレイン材料、半導体材料を射
出するための複数の孔が形成されている。ただし、型90において、回路領域に対応する
材料を射出するための複数の孔の配置は、実際に製造する線状素子の断面構造に応じて適
宜設定すればよく、必ずしも常にゲート電極材料を射出するための孔を中心に配置する必
要はない。

【0043】

各原料容器から溶融あるいは溶解状態、ゲル状態の原料を型85に送入し、型から原料を
射出すると、各孔から原料は射出し、固化する。その端を引っ張ることにより、糸状に連
続して線状発光素子が形成される。

【0044】

線状素子は、ローラ87で巻き取る。あるいは必要に応じて次の工程に糸状のまま送る。
例えば、ドーピング処理部88において、酸素イオンを注入、加熱し、絶縁分離領域を形
成したり、電極形成処理部89において、導電性ポリマーの塗布などにより、ソース電極
7やドレイン電極8を形成する。

【0045】

(PLAの配線形成方法)

図7は、本発明のPLAの配線形成方法に係り、(a)は、配線形成工程におけるPLAの斜視図
であり、(b)乃至(e)は、配線形成工程の工程順断面図である。最初に、例えば、ガラス、
又はプラスティックからなる基板91上に光反応性有機膜92を回転塗布法などにより形
成する(図7(b))。光反応性有機膜として、例えば、光照射により絶縁体に変化する有
機材料を使用する。次に、複数の線状素子93を光反応性有機膜92の上に配置する。配
置される線状素子は、予め、専用の検査装置でDC試験や機能試験を行い、良品の線状素子
のみ選択してある(図7(a)及び(c))。次に、線状素子93の電極部に位置合わせを行つ
たマスク94を介して、紫外線などの光を光反応性有機膜92に対し照射する(図7(d))
。次に、加熱により光反応性有機膜に含まれる光反応開始剤を蒸発させることにより、

光反応性有機膜 92 中に導電性領域 95 と絶縁性領域 96 を形成する（図 7 (e)）。

【0046】

図 7においては、平面基板上に線状素子を配置した場合の配線形成方法を説明したが、円筒上の基板に線状素子を配置したり、あるいは、柔軟性のある基板に線状素子を配置して配線形成後に基板を円筒状に変形させることで、円筒状あるいは線状のPLAを作製することも可能である。

【図面の簡単な説明】

【0047】

【図 1】 AND平面とOR平面により構成されるPLAの回路図である。

【図 2】 本発明のPLAを構成する線状素子の斜視図である。

【図 3】 (a)乃至(f)は、本発明のPLAを構成する線状素子の断面図である。

【図 4】 (a)は、PLAのAND平面の回路図であり、(b)は、(a)に示す回路図に対応する本発明のPLAの斜視図である。

【図 5】 (a)は、PLAのOR平面の回路図であり、(b)は、(a)に示す回路図に対応する本発明のPLAの斜視図である。

【図 6】 (a)は、本発明のPLAを構成する線状素子の製造に用いられる押し出し装置を示す正面図であり、(b)は、本発明のPLAを構成する線状素子の製造に用いられる押し出し装置で使用される型の平面図である。

【図 7】 本発明のPLAの配線形成方法に係り、(a)は、配線形成工程におけるPLAの斜視図であり、(b)乃至(e)は、配線形成工程の工程順断面図である。

【図 8】 (a)は、従来のPLAを構成する平面状素子の断面図であり、(b)は、PLAのAND平面の回路図であり、(c)は、(b)に対応する従来のPLAの平面図である。

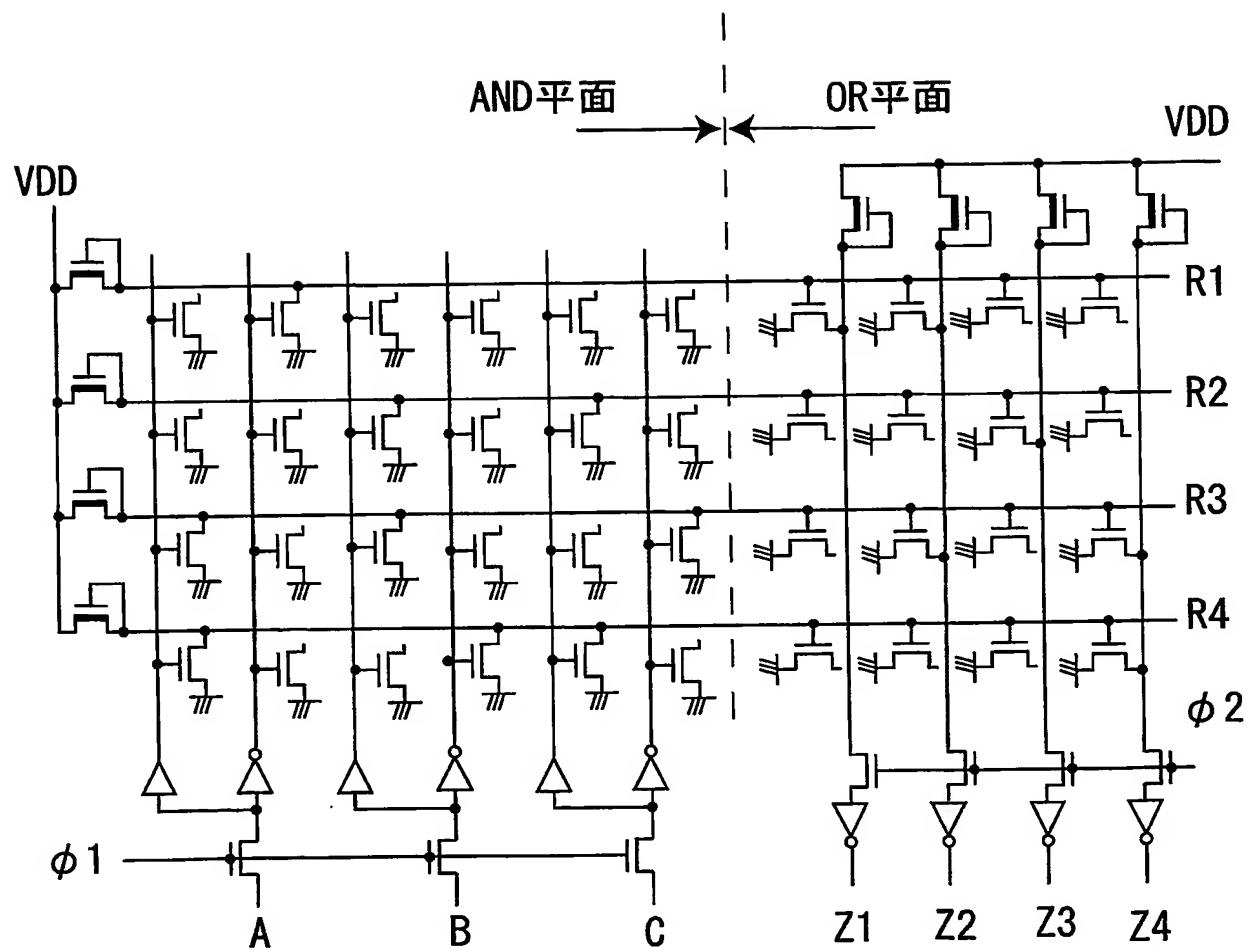
【符号の説明】

【0048】

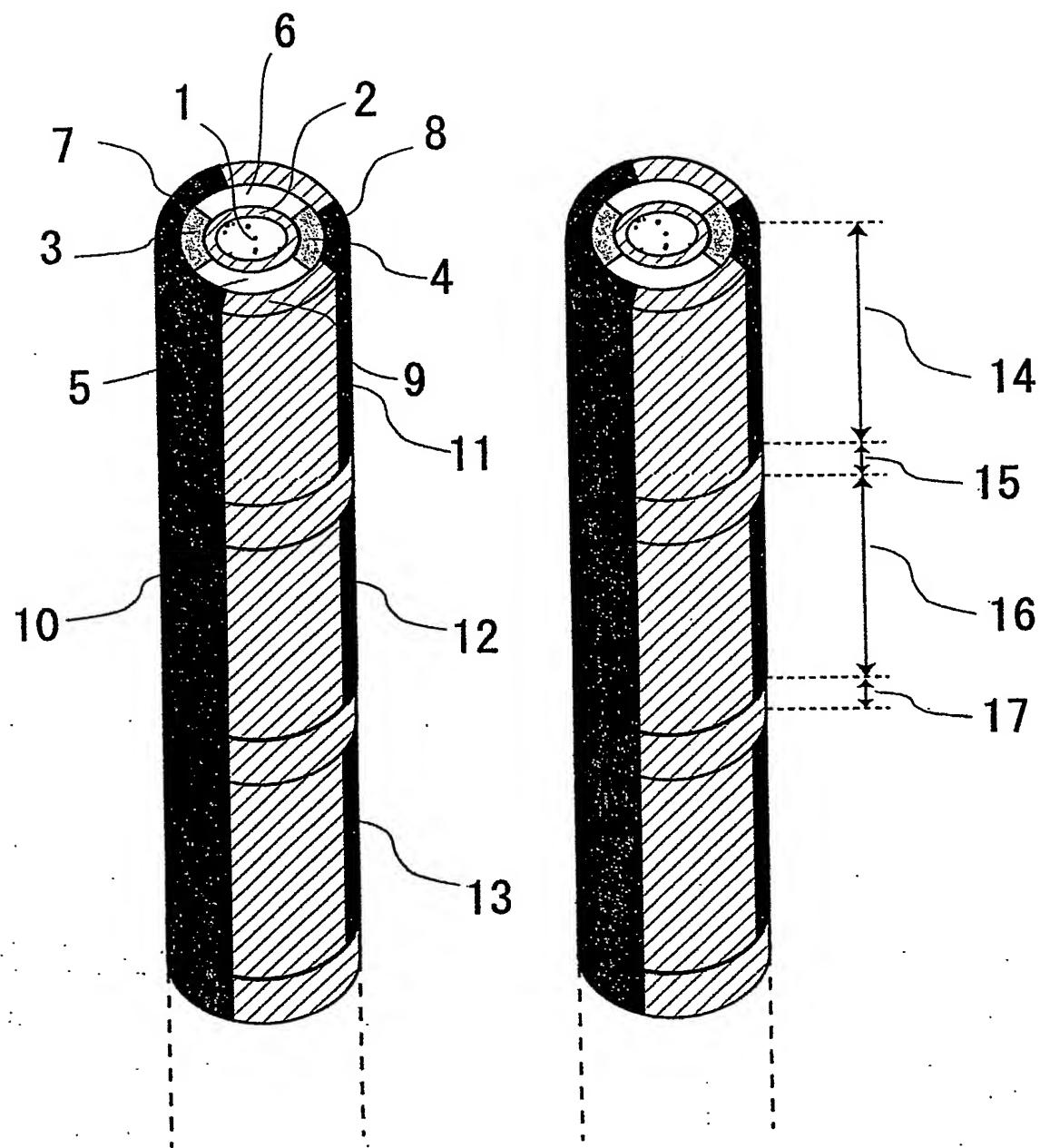
- 1、21、37、38、48 ゲート電極
- 2、22、36、39、47 ゲート絶縁体領域
- 3、23、33、40、44 ソース領域
- 4、24、34、42、46 ドレイン領域
- 5、6、25、26、35、41、45 半導体領域
- 7、10、26、32 ソース電極
- 8、11、12、13、27 ドレイン電極
- 9、28、29、30、43、49 絶縁体領域
- 14、16 素子領域
- 15、17 絶縁分離領域
- 31 ソース配線
- 51、52、53、61、62、63、64 線状体
- 54、65 ソース電極
- 55、66 ドレイン電極
- 56、67 ゲート電極
- 57 AND平面の入力配線
- 58 AND平面の出力配線
- 59、69 接地配線
- 60、70 ソースコンタクト
- 61、71 ドレインコンタクト
- 67 OR平面の入力配線
- 68 OR平面の出力配線
- 81 押し出し装置
- 82 原料 1 容器
- 83 原料 2 容器
- 84 原料 3 容器

85、90 型
86 線状素子
87 ローラ
88 ドーピング処理部
89 電極形成処理部
91 基板
92 光反応性有機膜
93 線状素子
94 マスク
95 導電性領域
96 絶縁性領域
101 平面基板
102 絶縁分離領域
103、105 ソース領域
104、106 ドレイン領域
107、108 ゲート領域
109、111 ソース電極
110、112 ドレイン電極
113 層間絶縁膜
114、115 AND平面入力配線
116、117、118、119 AND平面出力配線
120 ゲート電極
121 ソース領域
122 ドレイン領域
123 ソースコンタクト
124 ドレインコンタクト
125、126 ゲート配線
127、128 ソース配線
129、130、131、132 ドレイン配線
133、134 ゲート絶縁膜

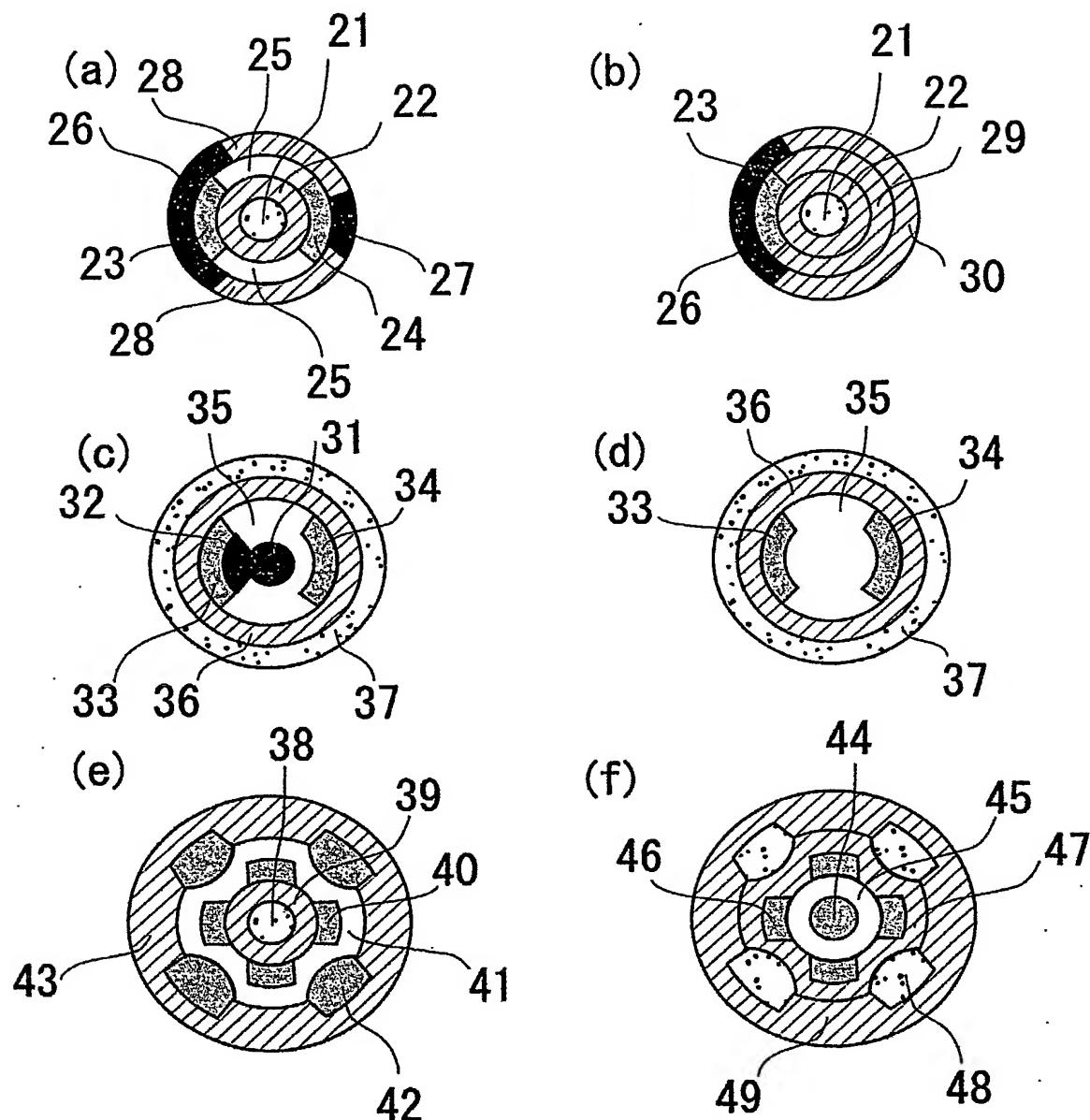
【書類名】図面
【図1】



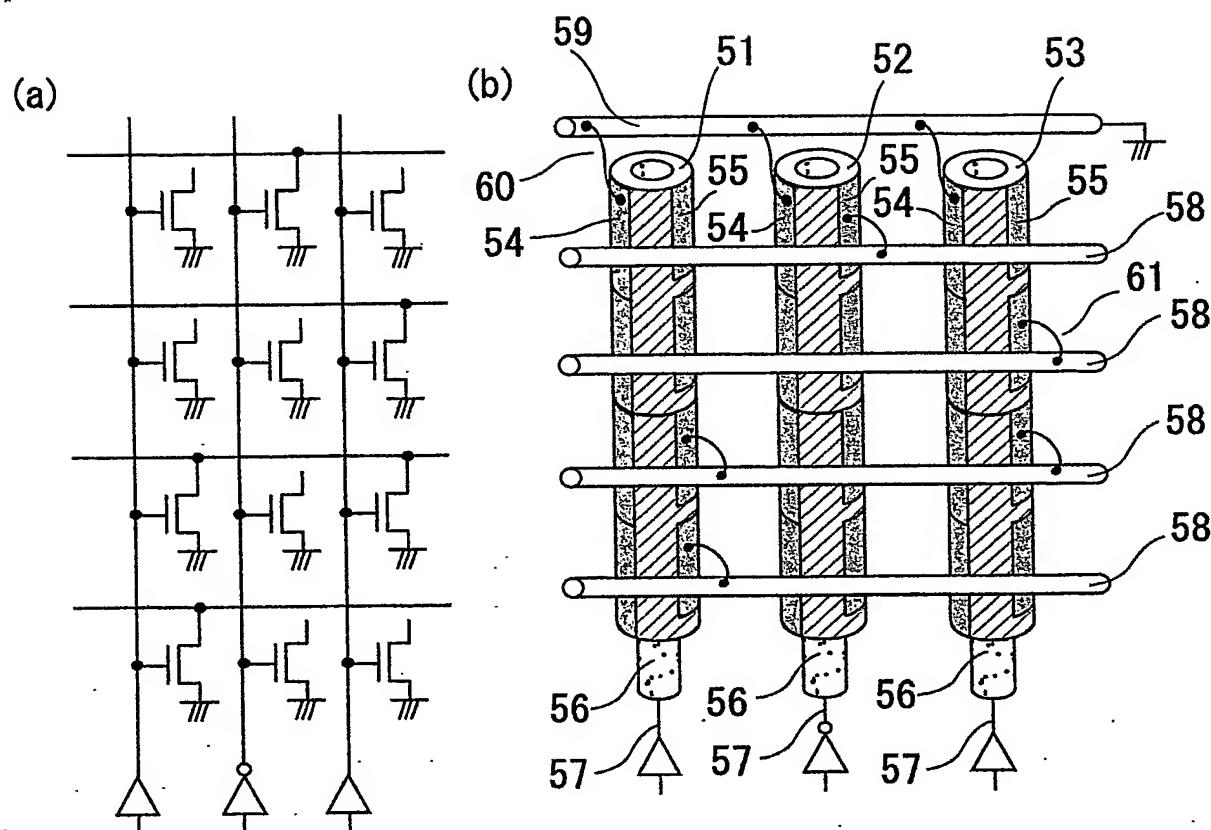
【図2】



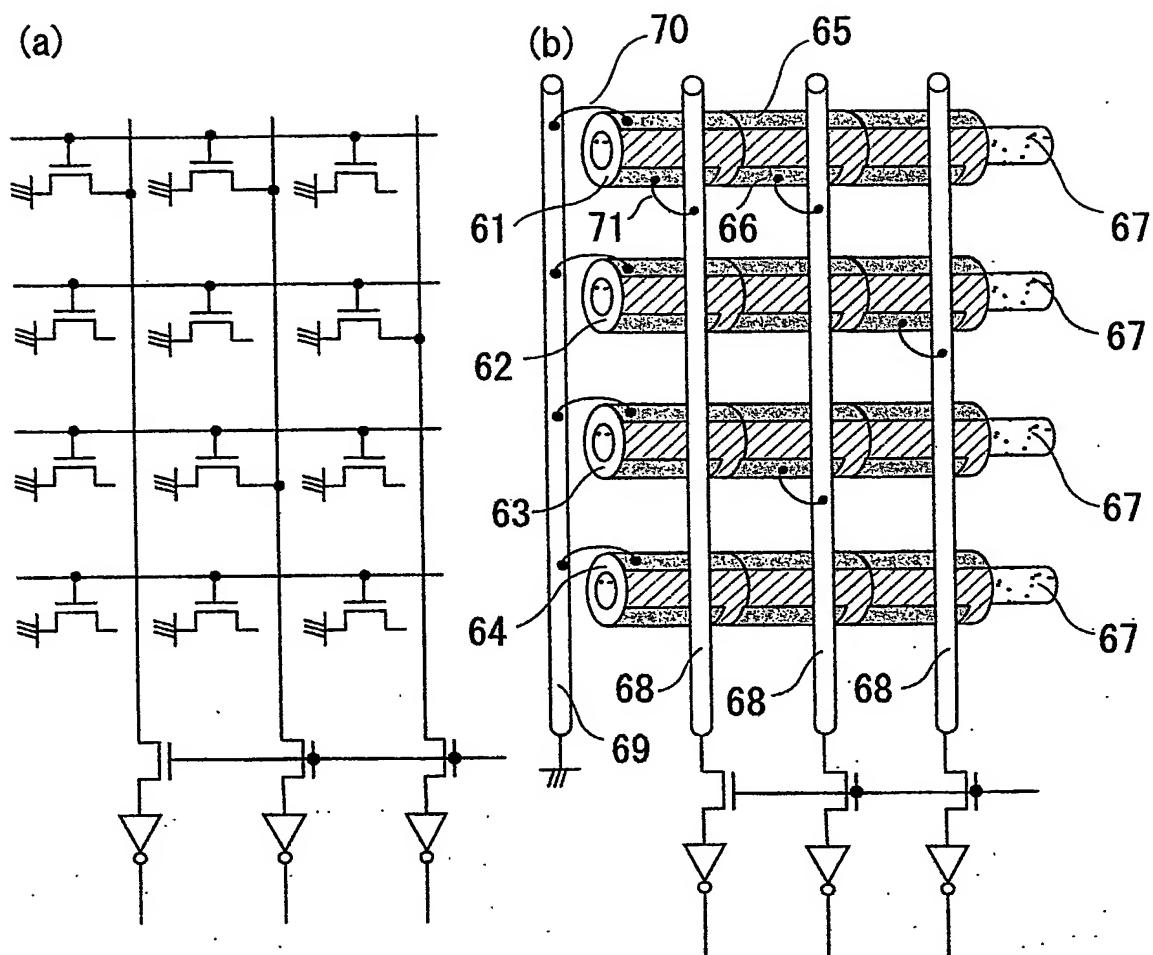
【図3】



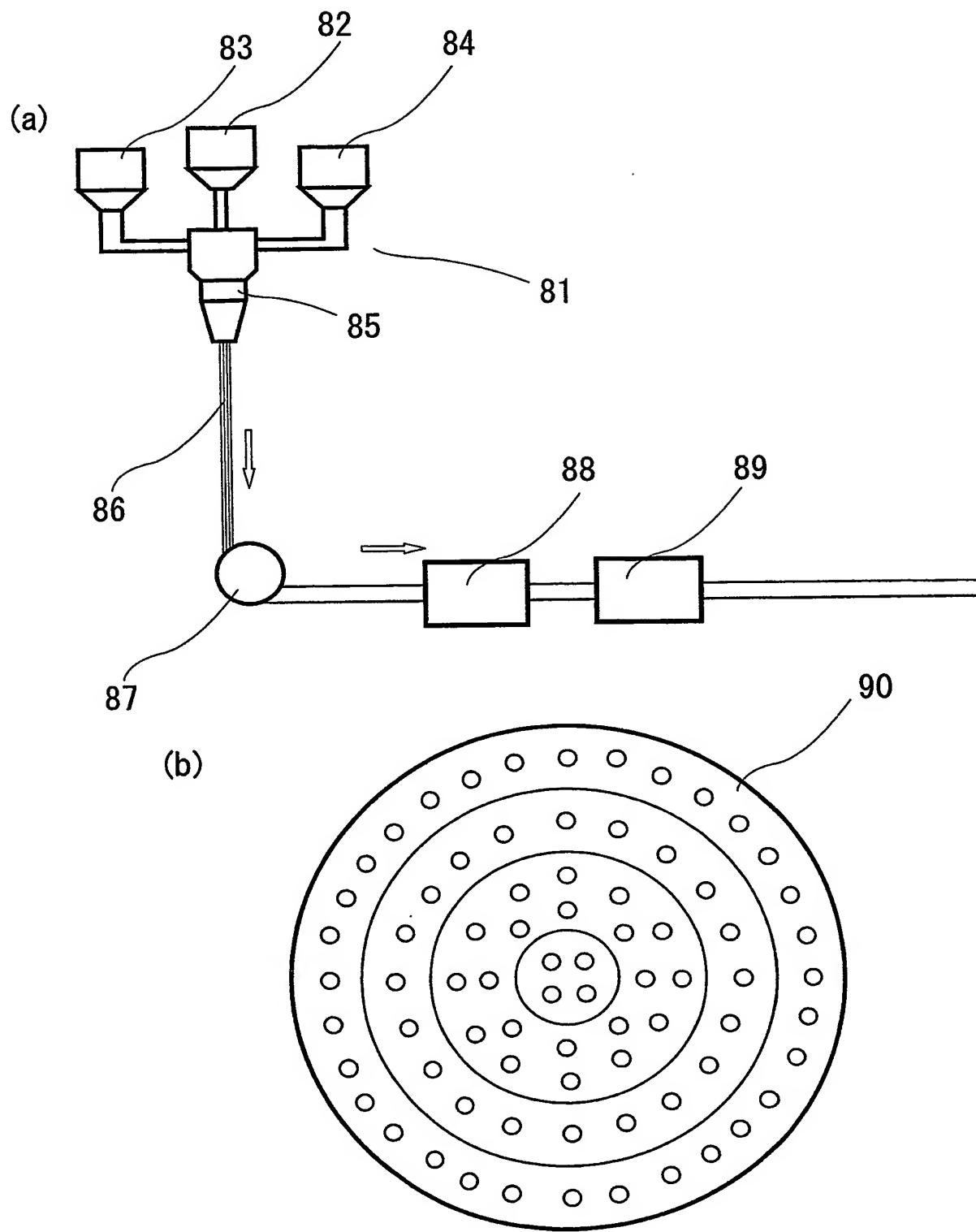
【図 4】



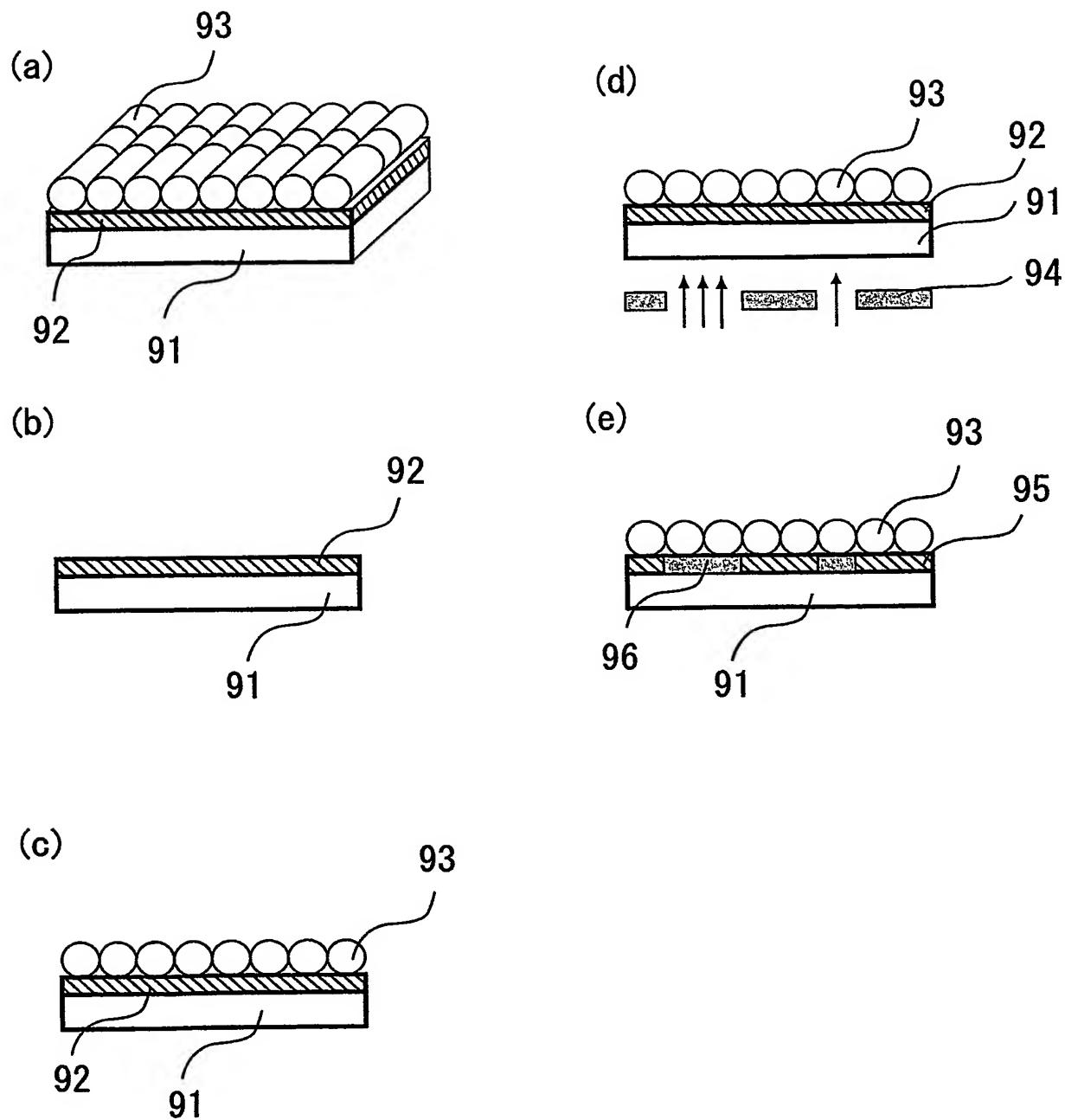
【図5】



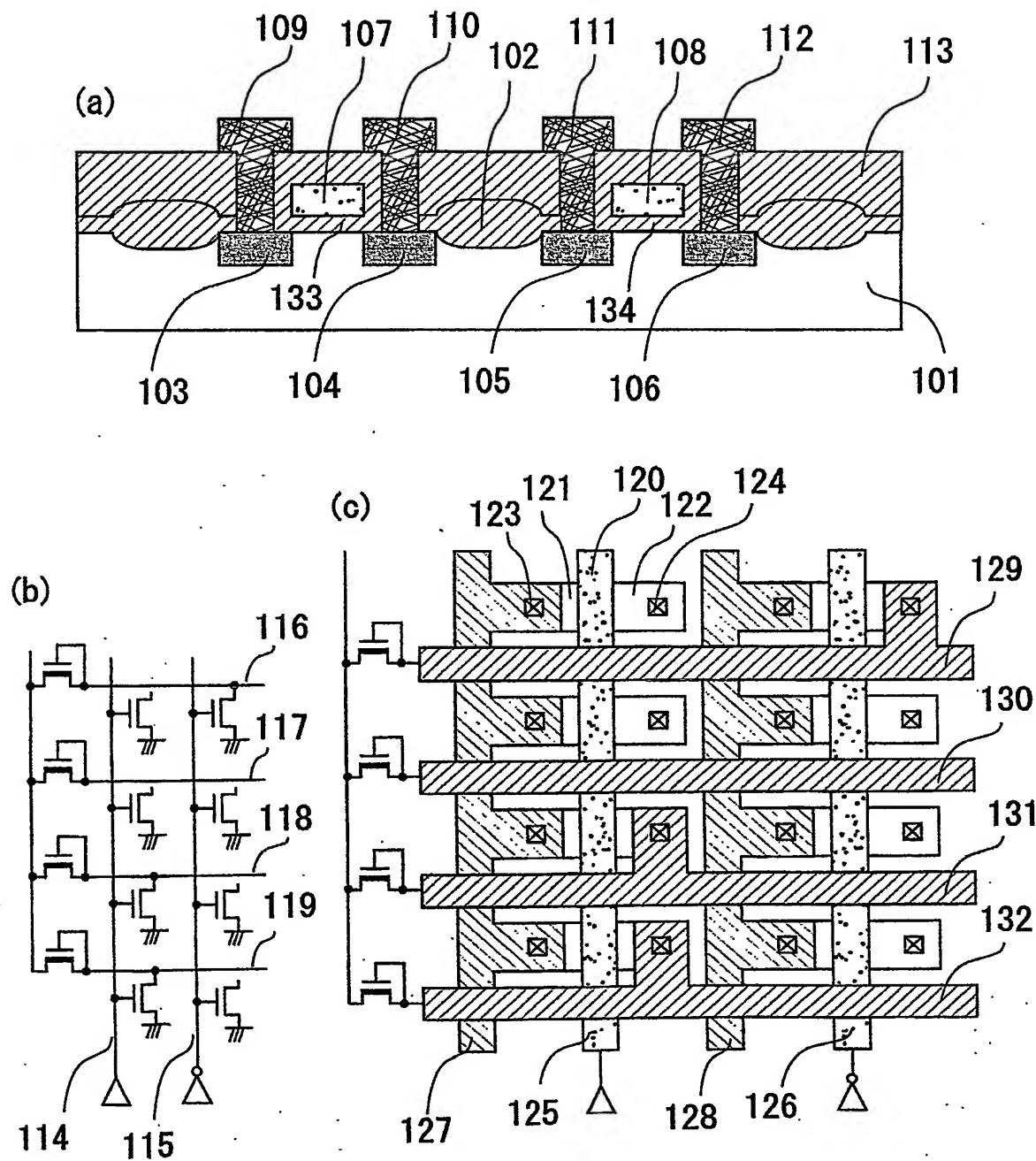
【図 6】



【図7】



【図8】



【書類名】要約書

【要約】

【課題】任意の論理式を規則的なアレイ構造で実現できるPLAは、シリコン基板などリジッドで平面状の基板に形成されていた。そのため、形状に柔軟性がなく、応用が限定されていた。また、複数の回路素子を平面上に連続して形成しているため、すべての回路素子を欠陥なく作製しないと良品のPLAを製造することができず、歩留まり向上が困難であった。

【解決手段】線状素子を布状に織る、または編むことにより、平面状のPLAを作製したり、線状素子を束ねて線状のPLAを作製することにした。線状素子からなるPLAは、柔軟性があり軽いので多様な用途に用いることができる。一度、線状素子を作製して、良品の線状素子のみ選択してPLAを作製できるので、PLAの製造歩留まりが向上する。

【選択図】

図 4

特願 2003-369228

出願人履歴情報

識別番号 [502344178]

1. 変更年月日 2002年 9月20日

[変更理由] 新規登録

住 所 宮城県仙台市青葉区南吉成六丁目6番地の3
氏 名 株式会社イデアルスター